

[print out](#)

Patent/Publication No. 466745

Title Multi-layered multi-chip module capable of decreasing the volume of the module by arranging the IC and passive device in different layers

Publication Date 2001/12/01

Application Date 2000/11/02

Application No. 089123047

Certification_Number 146615

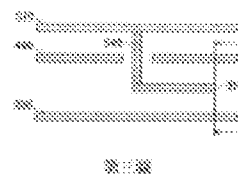
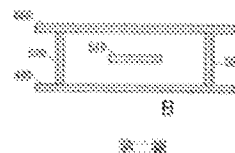
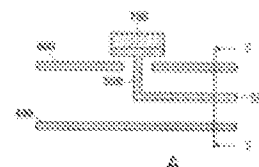
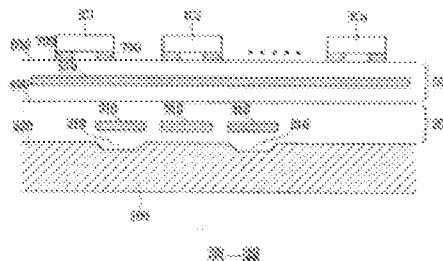
IPC H01L-027/00

Inventor KWON, YOUNG-SE KR

Applicant TELEPHUS INC. KR

Priority Number 20000223 | KR20000008822

Abstract The present invention provides a multi-layered multi-chip module, which comprises a substrate, a first shielding circuit formed on the substrate, a passive device layer arranged with passive devices and formed on the first shielding circuit, a second shielding circuit formed on the passive device layer, a built-in connection layer having connection circuit connected to the passive devices and formed on the second shielding circuit, a third shielding circuit formed on the built-in connection layer, a predetermined



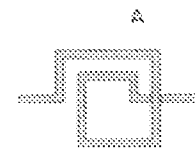
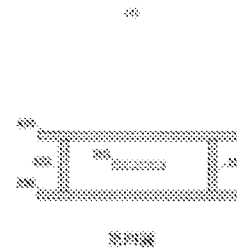
number of dampers
connected to the connection
circuit and formed on the
external side of the third
shielding circuit, and a
plurality of ICs or electrical
devices formed on the
dampers. In accordance
with the present invention,
the base band unit and the
RF unit can be constructed
as a single module. The
volume of the module can
be decreased because the
IC and passive device are
arranged in different layers.

Individual

Patent Right Change

F

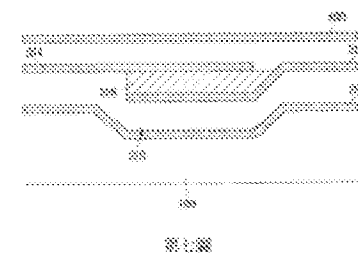
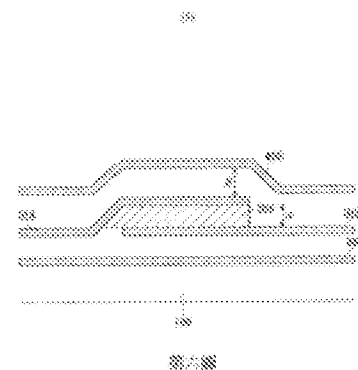
Application Number	089123047
Date of Update	20090827
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	20081201
Revocation Note	
Issue date of patent right	20011201
Patent expiry date	20201101
Maintenance fee due	20081130
Years of annuity paid	007



B

C

D



E

公告本

申請日期	89.11.2
案 號	89123047
類 別	H01L 27/60

A4
C4

466745

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	多層多晶片模組
	英 文	Multi-Layered Multi-chip Module
二、發明人創作	姓 名	權 寧 世 KWON, Young-Se
	國 籍	韓 國 Korea
	住、居所	大韓民國大田市儒城區魚隱洞漢比公寓 101-1202 號 Hanbit Apt. 101-1202, Eoeun-dong, Yuseong-ku, Daejeon-city, Korea.
三、申請人	姓 名 (名稱)	泰勒弗氏股份有限公司 TELEPHUS INC.
	國 籍	韓 國 Korea
	住、居所 (事務所)	大韓民國漢城市城東區玉水洞 218-1 揚杜首都大廈 401 號 Youngdo Capital Bldg., 401, Oksu-dong 218-1, Seongdong-ku, Seoul, Korea.
	代 表 人 姓 名	李 相 憲 LEE, Sean H.

裝

訂

線

466745

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

臺灣 國(地區) 申請專利，申請日期：2000-2-23 案號：2000-8822，☐有 ☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：

)

多層多晶片模組

本發明為一種多層多晶片模組，其中包含一基片，一組在基片上成型的第一電屏線路，一組配置有被動元件並在第一電屏線路上方成型的被動元件層，一組在被動元件層上方成型的第二電屏線路，一組具有連接線路連接至被

5 動元件並在第二電屏層上方成型的內建連接層，一組在內建連接層上方成型的第三電屏線路，連接於連接線路並在第三電屏線路外側成型的預定數目阻尼器，以及在阻尼器上方成型的多個積體電路(IC)或電器元件。根據本發明所述，基本頻帶單元和 RF 單元可構建成一個單一模組，而

10 此模組之體積可因為 IC 和被動元件都被配置在不同層次得以減縮。

英文發明摘要（發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

本發明係有關一種多晶片模組(MCM)。更詳而言之，
本發明為一種多層化之 MCM，其中包含處理無線電頻率
(RF)頻帶之頻率的元件以及處理基本頻帶信號的元件。

相關技藝說明

- 5 一具行動通訊終端機包含了一個用來處理 RF 頻帶頻
率 RF 元件，一個用來將 RF 信號轉換成基本頻帶信號或
將基本頻帶信號轉換成 RF 信號的中介頻率(IF)頻帶元件，
以及一個處理諸如 Qualcomm's MSM 這種基本頻帶信號的
處理器。由於近來行動通訊終端機的體積愈來愈小，終端
10 機製造商已將多個通訊元件整合為一個單一模組以減小終
端機的體積。

然而，基本頻帶元件和 RF 元件傳統上都被分為兩個
獨立的模組，因此終端機所能縮小的體積實在有限。

- 本發明的目的是為了要提供一種多層 MCM 以將基本
15 頻帶元件和 RF 元件整合成為一個單一模組。

- 從本發明的某一方面來看，多層多晶片模組包含了：
一基片；第一電屏線路在基片上方成型；包含有被動元件
的被動元件層在第一電屏線路上方成型；第二電屏線路在
被動元件層上方成型；具連接線路以連接被動元件層的內
20 建連接層在第二電屏線路上方成型；第二電屏線路在內建
連接層上方成型；與連接線路連接之預定數目阻尼器在第
三電屏線路外側成型；以及多個積體電路(IC)或電氣元件
則在阻尼器上方成型。

第三電屏線路有一處開放區，連接線路則經由開放區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

與阻尼器完成電氣連接。

第二電屏線路有一處開放區，連接線路則經由開放區與被動元件完成電氣連接。

IC 包含一個或多個處理 RF 頻帶訊號的初級 IC，以及
5 一個或多個處理基本頻帶訊號的次級 IC。

圖面說明摘要

本文所附之圖面亦為說明書中之一部份，以圖解方式繪出本發明之具體結構，並加上說明用來解說本發明之原理：

10 第一圖所示為本發明一較佳實施例之多層多晶片模組的結構；

第二圖(a)及第二圖(b)所示為本發明較佳實施例中阻尼器與連接線路之間的連線情形；

15 第三圖所示為本發明較佳實施例中連接線路與被動元件之間的連線情形；

第四圖所示為將第三圖從 4-4，剖線切開所見之剖面圖；

第五圖(a)與第五圖(b)所示為本發明較佳實施例中的一個導體；

20 第六圖所示為本發明較佳實施例中的一個電容器；以及

第七圖所示為本發明第二較佳實施例中的一個電容器。

以下詳細說明，僅係說明本發明的較佳實施例，應可

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

理解，本發明可在不超出發明範圍內作各種修飾變化。因此，圖面和說明應視為說明本發明，而非用以限制。

第一圖所示為本發明一較佳實施例之一種多層多晶片模組結構。

5 如圖示，多層多晶片模組包含了一層半導體基片 100，一層第一電屏線路 200，一層被動元件層 300，一層第二電屏線路層 400，一層內建連線層 500，一層第三電屏線路 600，一層阻尼器 700，和一層多積體電路 IC1、IC2、...、Icn 或電氣元件(圖中未繪製)。

10 半導體基片 100 上有均為平底的溝槽 210，且第一電屏線路 200 即在半導體基片 100 及溝槽上方成型。

被動元件 310 如電阻、電感和電容等都配置在被動元件層 300，位於第一電屏線路 200 和第二電屏線路 400 兩層之間。在此處，被動元件 310 係以支腳(未繪出)支撐
15 在第一電屏線路 200 的上方。

第二電屏線路 400 架構在被動元件層 300 上方，並以支腳支撐(未繪出)。在此處，第一電屏線路 200 與第二電屏線路 400 同為被動元件 310 之電屏。

在本發明的較佳實施例中，電屏線路中包含了一條接
20 地線、一條偏壓供應線，或一條接地線與偏壓供應線的混合線路。電屏線路對於電力訊號的被動狀態具有屏蔽效用。

在被動元件 310 之間以及被動元件與另一層內的積體電路之間，作為連接之用的第一連接線路 510，係配置於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

第二與第三電屏線路 400 及 600 之間的內建連接層 500 內。此時，有一組支柱（未繪出）支撐第一連接線路 510。

第三電屏線路 600 配置於內建連接層 500 的上方，並由一組支腳（未繪出）所支撐。第一連接線路 510 由第二
5 與第三電屏線路 400 和 600 給予電力屏蔽。

阻尼器 700 經通電連接至第一連接線路 510 以及積體電路（IC）。

積體電路 IC1、IC2、...以及 Icn 都經由阻尼器 700 通電連接至第一連接線路 510。在較佳實施例中，積體電路
10 包括 RFIC(如 MMIC)，其本頻帶處理 IC，場效晶體(FET)以及雙極接面晶體(BJT)。

參照第二圖(a)與第二圖(b)，現在說明阻尼器 700 和第一連接線路 510 之間的狀況。

如第二圖(a)所示，第一連接線路 510 上有一個支腳
15 550，而支腳 550 經由第三電屏線路 600 的開放區穿出並突出於第三電屏線路 600 之上方。阻尼器 700 配置於支腳 550 上方，並經由支腳 550 以電力接通至第一連接線路 510。

第二圖(b)所示為第二圖(a)從 2-2 線切開的剖面圖。如
20 圖所示，由於第一連接線路 510 被第二及第三電屏線路 400 與 600 所包圍，來自第一連接線路 510 和外部 IC 之間或來自第一連接線路 510 和第被動元件 310 之間的訊號干擾都可減低。若有必要，可再配置電屏線 520 和 530 以給予第一連接線路 510 所需之電力屏蔽。此時，若需要多條連

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

接線路，可製造多層連接線路。在這種情況下，配置在不同層內的各條連接線路都可如第三圖所示，經由第二連接線路 540 完成連接。

參照第三圖，現在說明第一連線路 510 與被動元件 310 之間的連接狀況。

如圖所示，被動元件 310 係連至第二連接線 540，後者並經由第二電屏線路 400 的開放區連至第一連接線路 510。當然，被動元件 310 係經由連線路 510 和 540 以電力相通至積體電路 IC1、IC2、...、Icn。此外，當需要多個被動元件時，可用多層方式製造被動元件，在此情況下，不同層內的各被動元件都可經由第二連線路 540 相互連接。

第四圖所示為自第三圖之 4-4 線切開之剖面圖。如圖所示，由於被動元件 310 被第一與第二電屏線路 200 及 400 所圍繞，並受其給予電力屏蔽，來自被動元件 310 和第一連接線路 510 之間的訊號干擾可獲降低。若有必要，可增加配置電屏線路 320 和 330 對其它被動元件給予電力屏蔽。

被動元件包偉有電阻、電感和電容器。

電阻值需視被動元件 310 的材質和物理結構而定，也就是說，被動元件的寬度和長度。在本發明的實體結構中，電阻值主要係將被動元件物理結構最佳化後所計算出。

電感器之值計算法為在一平面上將金屬被動元件排成如第五圖(a)所示之鋸齒狀，如第五圖(b)所示之呈螺旋狀，

(請先閱讀背面之注意事項再填寫本頁)

訂

像

五、發明說明()

或其它形狀後計。

如圖所示，電容器值之計算成式係於第一與第二電屏線路 200 與 400 之間配置第一與第二金屬層 312 及 314，並在第一及第二金屬層 312 與 314 重疊處插入一個介質 316 後計算得之。

此時，若第一金屬層 312 至第二金屬層 314 之長度設定為 α ，而第二金屬層 314 至第二電屏線路之長度設定為 β ，即可設計 β/α 之值絕對大於 1。此外，也可以將從第一電屏線路 200 至第一金屬層 312 的長度設計成與從第二電屏線路 400 至第二金屬層 314 的長度幾乎相等。

在半導體基片平面部份配置電容器時，第一電屏線路 200 與第一金屬層 312 如第六圖所示均呈平面狀，但第二電屏線路 400 與第二金屬層 314 則為彎曲，則後續之處理會變得較為困難。

因此，最好如第七圖將電容器配置在半導體基片的溝槽 210 上。然後第一電屏線路 200 和第一金屬層 312 就會呈現部份彎曲，而第二電屏線路 400 和第二金屬層 314 則成為扁平，這樣一來，後續的處理就可順利進行。此時，最好要用化學機械式拋光(CMP)，以使第二電屏線路 400 和第二金屬層 314 成為扁平狀。也可以將電感器按照與製造電容器相同的方法，配置在半導體基片的溝槽 210 上。

根據本發明實體結構的多層 MCM 結構來看，用來處理 RF 訊號的 IC 和用來處理基本頻帶訊號的 IC 都裝設在阻尼器 700 上，而被動元件如電阻、電容和電感器等都裝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

設在被動元件層上，且被動元件與所有的 IC 都經由內建連接層的連接線路相連通。因此，這樣便可以縮小終端機的體積。

由於被動元件和連接線路都有電力屏蔽，故可減低訊

5 號干擾。

在較佳實施例中，所使用的是半導體基片，但也可以使用其它種類的基片。

根據本發明，基本頻帶單元和 RF 單元都可以構形成為一個單獨模組。

10 根據本發明，由於所有的 IC 和被動元件都配置於不同層，故可以使模組的體積縮小。

雖然本發明的較佳實施例已如上詳細說明，但應明確瞭解上開說明圖式並非用以限制本發明，相反地，在不脫離本發明申請專利範圍與精神下所作的各種修飾與變化，

15 均應視為本發明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

圖式之簡單說明：

第一圖所示為本發明一較佳實施例之多層多晶片模組的結構；

第二圖(a)及第二圖(b)所示為本發明較佳實施例中阻
5 尼器與連接線路之間的連線情形；

第三圖所示為本發明較佳實施例中連接線路與被動元件之間的連線情形；

第四圖所示為將第三圖從 4-4 剖線切開所見之剖面圖；

10 第五圖(a)與第五圖(b)所示為本發明較佳實施例中的一個導體；

第六圖所示為本發明較佳實施例中的一個電容器；以及

第七圖所示為本發明第二較佳實施例中的一個電容器。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

圖號說明：

5	半導體基片 100	第一電屏線路 200
	溝槽 210	被動元件層 300
	第一、第二金屬層 312、314	介質 316
	第二電屏線路層 400	內建連線層 500
	第一連接線路 510	電屏線 520、530
	第二連接線路 540	第三電屏線路 600
	阻尼器 700	
	多積體電路 IC1、IC2、...、Icn	

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第 89123047 號

申請專利範圍修正頁 90.9

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

1.一種多層多晶片模組，其中包括：

一基片；

第一電屏線路，成型於基片上方；

一被動元件層，成型於該第一電屏線路上方，內含有

5 被動元件；

第二電屏線路，成型於該被動元件層上方；

一內建連接層，成型於該第二電屏線路上方且具有一
連接線路連接於該被動元件；

第三電屏線路，成型於該內建連接層上方；

10 預定數目的阻尼器，成型於該第二電屏線路外側，且
連接於該連接線路；

預定數目的積體電路（IC）或電器元件，成型於該阻
尼器的上方。

2.如申請專利範圍第 1 項所述之模組，其中第三電屏
15 線路內有一開放區，而連接線路之電力連接即經由此開放
區連出。

3.如申請專利範圍第 2 項所述之模組，此模組中更包
含了一個導電支腳，連接至連接線路，用來支撐阻尼器。

4.如申請專利範圍第 1 項所述之模組，其中第二電屏
20 線路中有一開放區，連接線路即是經由此開放區連接至被
動元件。

5.如申請專利範圍第 3 項所述之模組，其中的被動元
件即為一個或多個電阻、一個電感和一個電容器。

6.如申請專利範圍第 3 項所述之模組，其中的被動元

六、申請專利範圍

件為一個電容器，其中包括：在第一電屏線路上方成型的一層第一金屬層；在第一金屬層上方及第二電屏線路下方成型的第二金屬層，且與第一金屬層有一重疊部份；以及在第一與第二金屬層重疊之區域內成型的一個介質。

- 5 7.如申請專利範圍第 6 項所述之模組，其中從第一電屏線路至第一金屬層的長度幾乎與第二電屏線路至第二金屬層的長度相等。

- 8.如申請專利範圍第 7 項所述之模組，其中從第一電屏線路至第一金屬層的長度較第一金屬層至第二金屬層的
10 長度為長。

9.如申請專利範圍第 6 項所述之模組，其中的基片有溝槽，且均為平底。

10.如申請專利範圍第 9 項所述之模組，其中的電容器係在與溝槽相對應之部份成型。

- 15 11.如申請專利範圍第 10 項所述之模組，其中第二電屏線路與第二金屬層均呈扁平。

12.如申請專利範圍第 9 項所述之模組，其中的電感器在相對應的溝槽處成型。

- 13.如申請專利範圍第 1 項所述之模組，其中的所有 IC
20 包含了一個或多個用於處理 RF 頻帶訊號的 IC，以及一個或多個用於處理基本頻帶訊號的 IC。

14.如申請專利範圍第 1 項所述之模組，其中的連接線路連接至被動元件。

15.如申請專利範圍第 1 項所述之模組，其中的電屏線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

路中有一條接地線路，一條偏壓供應線路，或一條接地與偏壓供應混合在一起的線路。

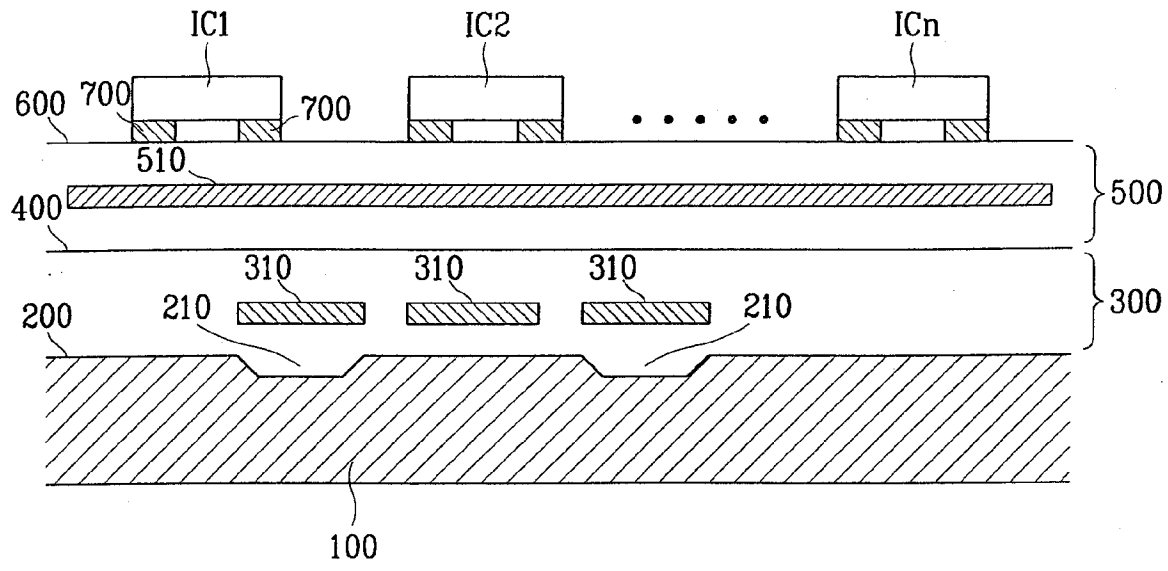
(請先閱讀背面之注意事項再填寫本頁)

裝

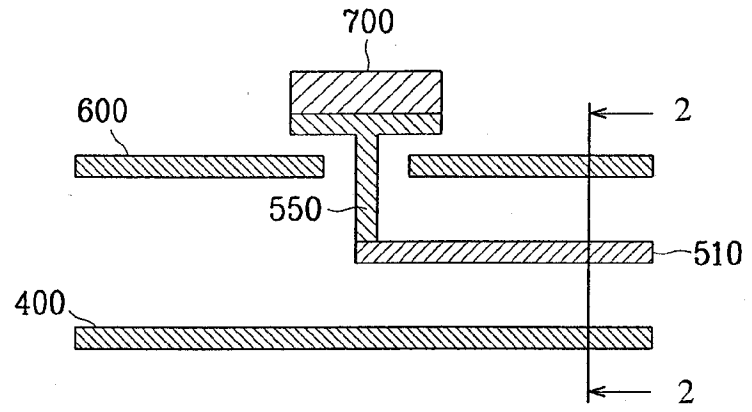
訂

線

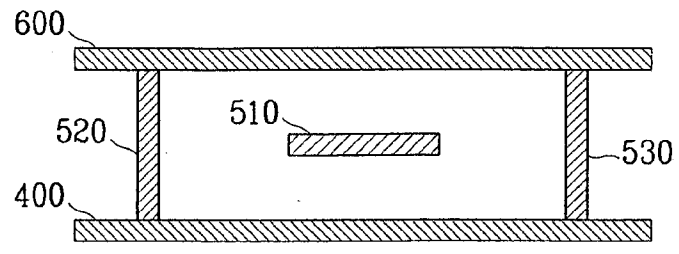
466745
8912304



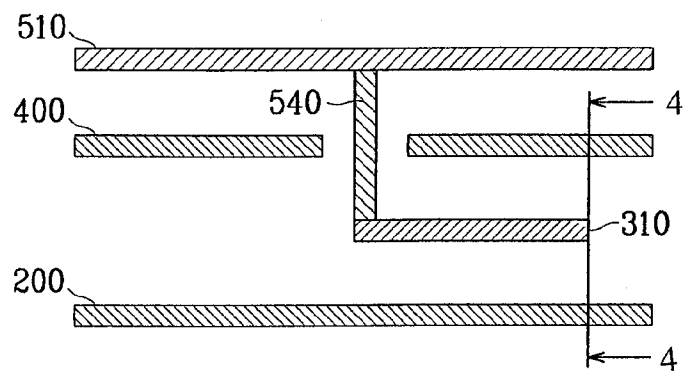
第一圖



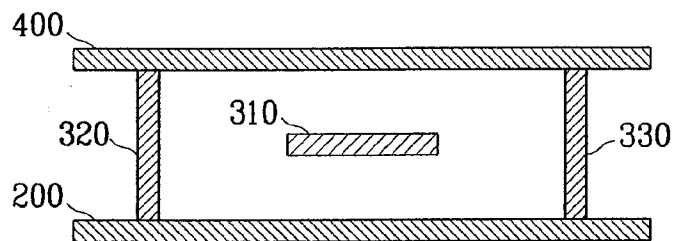
第二圖 A



第二圖 B

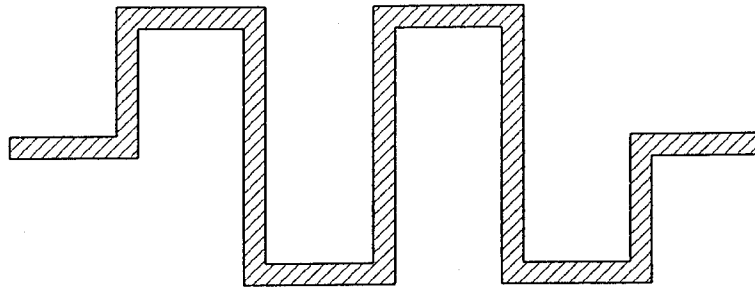


第三圖

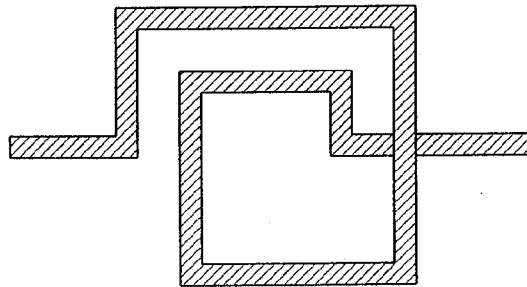


第四圖

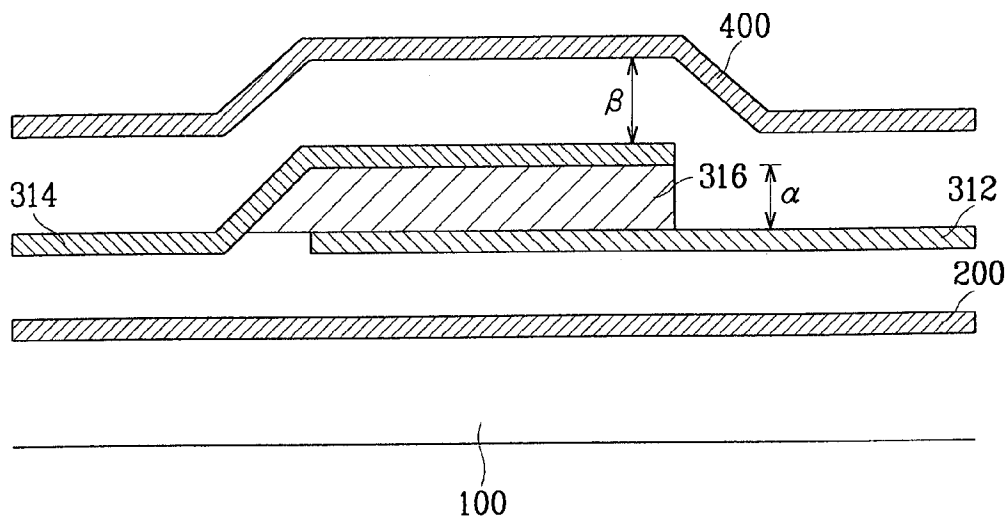
466745



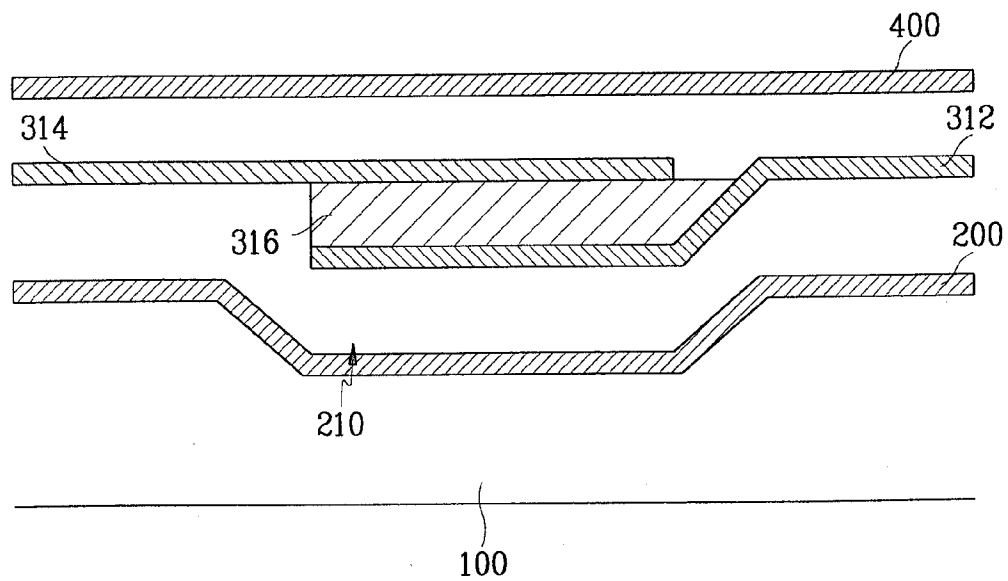
第五圖 A



第五圖 B



第六圖



第七圖

六、申請專利範圍

第 89123047 號

申請專利範圍修正頁 90.9

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

1.一種多層多晶片模組，其中包括：

一基片；

第一電屏線路，成型於基片上方；

一被動元件層，成型於該第一電屏線路上方，內含有

5 被動元件；

第二電屏線路，成型於該被動元件層上方；

一內建連接層，成型於該第二電屏線路上方且具有一
連接線路連接於該被動元件；

第三電屏線路，成型於該內建連接層上方；

10 預定數目的阻尼器，成型於該第二電屏線路外側，且
連接於該連接線路；

預定數目的積體電路（IC）或電器元件，成型於該阻
尼器的上方。

2.如申請專利範圍第 1 項所述之模組，其中第三電屏
15 線路內有一開放區，而連接線路之電力連接即經由此開放
區連出。

3.如申請專利範圍第 2 項所述之模組，此模組中更包
含了一個導電支腳，連接至連接線路，用來支撐阻尼器。

4.如申請專利範圍第 1 項所述之模組，其中第二電屏
20 線路中有一開放區，連接線路即是經由此開放區連接至被
動元件。

5.如申請專利範圍第 3 項所述之模組，其中的被動元
件即為一個或多個電阻、一個電感和一個電容器。

6.如申請專利範圍第 3 項所述之模組，其中的被動元